



(43) 国際公開日  
2005 年 6 月 23 日 (23.06.2005)

**PCT**

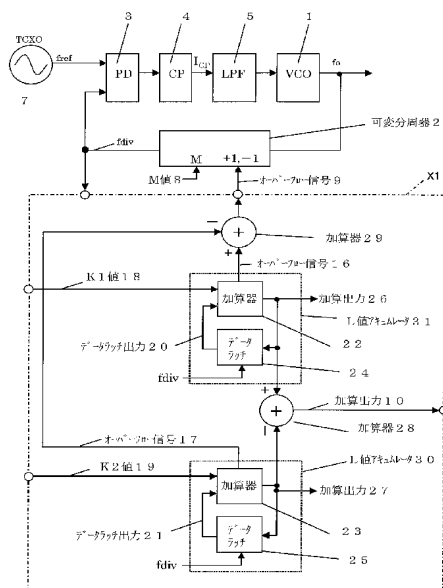
(10) 国際公開番号  
**WO 2005/057793 A1**

- |                                |                                  |   |
|--------------------------------|----------------------------------|---|
| (51) 国際特許分類 <sup>7)</sup> :    | H03L 7/197, 7/183, H03M 7/32     | (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP). |
| (21) 国際出願番号:                   | PCT/JP2004/018405                |   |
| (22) 国際出願日:                    | 2004 年 12 月 9 日 (09.12.2004)     | (72) 発明者; および   |
| (25) 国際出願の言語:                  | 日本語                              | (75) 発明者/出願人 (米国についてのみ): 佐伯 高晴 (SAEKI, Takaharu) [JP/JP]. 前田 昌克 (MAEDA, Masakatsu) [JP/JP].   |
| (26) 国際公開の言語:                  | 日本語                              |   |
| (30) 優先権データ:<br>特願 2003-411776 | 2003 年 12 月 10 日 (10.12.2003) JP | (74) 代理人: 宮井 暎夫, 外 (MIYAI, Teruo et al.); 〒5400008 大阪府大阪市中央区大手前 1 丁目 7 番 3 1 号 宮井特許事務所 Osaka (JP).                                    |

[続葉有]

**(54) Title:** DELTA-SIGMA TYPE FRACTION DIVISION PLL SYNTHESIZER

(54) 発明の名称: デルタシグマ型分数分周PLLシンセサイザ



- |    |                     |
|----|---------------------|
| 2  | VARIABLE DIVIDER    |
| 8  | M-VALUE             |
| 9  | OVERFLOW SIGNAL     |
| 29 | ADDER               |
| 16 | OVERFLOW SIGNAL     |
| 18 | K1-VALUE            |
| 22 | ADDER               |
| 26 | ADDITION OUTPUT     |
| 31 | L-VALUE ACCUMULATOR |
| 20 | DATA LATCH OUTPUT   |
| 24 | DATA LATCH          |
| 10 | ADDITION OUTPUT     |
| 18 | ADDER               |
| 17 | OVERFLOW SIGNAL     |
| 19 | K2-VALUE            |
| 30 | L-VALUE ACCUMULATOR |
| 23 | ADDER               |
| 27 | ADDITION OUTPUT     |
| 21 | DATA LATCH OUTPUT   |
| 25 | DATA LATCH          |

**(57) Abstract:** It is possible to obtain a low spurious of a delta-sigma type fraction division PLL synthesizer. The delta-sigma type fraction division PLL synthesizer includes a first and a second L-value accumulator (31, 30), and an adder (29) for calculating a difference of overflow signals (16, 17) of the first and the second L-value accumulator (31, 30), so that the output of the adder (29) switches the division ratio of a variable divider (2) having a division ratio which can be switched to M, M+1, M-1. Thus, frequency of spurious generated by an operation noise of the first and the second L-value accumulator (31, 30) is shifted to a higher frequency component than the prior art and removed by a loop filter (low pass filter) (5).

(57) 要約: デルタシグマ型分数分周PLLシンセサイザの低スプリアス化を図ることを目的とする。 その構成としては、第1および第2のL値アキュムレータ31、30を設け、第1および第2のL値アキュムレータ31、30のオーバーフロー信号16、17の差を加算器29でとり、加算器29の出力信号で、分周比をM、M+1、M-1に切替可能な可変分周器2の分周比を切り替えるようにする。これにより、第1および第2のL値アキュムレータ31、30の動作ノイズによって発生するスプリアスの周波数を先行技術よりも高い周波数成分へ移行させ、ローパスフィルタ（ローパスフィルタ）5で除去する。



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

## デルタシグマ型分数分周PLLシンセサイザ

## 技術分野

- [0001] 本発明は、出力スプリアスを低減することができるデルタシグマ型分数分周PLLシンセサイザに関するものである。特に、先行技術からの特性改善を図ることを可能とするデルタシグマ型分数分周PLLシンセサイザに関するものである。

## 背景技術

- [0002] 図3にデルタシグマ型分数分周PLLシンセサイザの先行技術のブロック図を示す。このデルタシグマ型分数分周PLLシンセサイザは、温度補償発振器(TCXO)7から出力された基準信号frefが位相比較器(PD)3の一方の入力端子に加えられる。また、電圧制御発振器(VCO)1の出力信号foが可変分周器2Aにより分周され信号fdivとして出力される。可変分周器2Aより出力された信号fdivは位相比較器3の他方の入力端子に加えられる。これによって、基準信号frefと信号fdivとの位相差が位相比較器(PD)3で検出される。そして、基準信号frefと信号fdivとの位相差に応じたパルス幅の電圧パルスが位相比較器3からチャージポンプ回路(CP)4に送られる。
- [0003] チャージポンプ回路4からは、位相比較器3から出力される電圧パルスに応じて、電流の吐き出し、吸い込み、もしくはハイインピーダンス(Hi-Z)の状態のいずれかとなるチャージポンプ出力電流Icpが出力される。このチャージポンプ出力電流Icpは、ローパスフィルタからなるループフィルタ5で平滑化され、さらに電圧に変換されて、電圧制御発振器1に制御電圧として入力される。
- [0004] 電圧制御発振器1の出力信号foは、上述したように、可変分周器2Aにより分周され、比較信号fdivとして位相比較器3へフィードバックされる。
- [0005] したがって、電圧制御発振器1の出力信号foの周波数(便宜上、出力信号foと同じ記号foで周波数を表す)は、可変分周器2Aの分周比を $[M+(K/L)]$ 、基準信号frefの周波数をfrefとすれば、以下のように表される。
- [0006] 
$$f_o = [M+(K/L)] \times f_{ref} \quad \cdots (1)$$
  
ただし、M,K,L:正整数値

M:整数部分周比

$K/L$ :小数点部分周比

可変分周器2Aは、整数部分周比Mの値8を入力する整数分周比入力端子と、分周比をMからM+1に変化させる信号を入力する分周比切替端子とを有している。この構成によって、分周比をMか(M+1)かに切り替え可能な構成となっている。具体的には、可変分周器2Aは、通常は分周比をMとしている。そして、分周比切替端子に分周比切替信号が入力されたときにのみ、分周比を(M+1)に変化させる。これによって、平均的な分周比 $[M + (K/L)]$ を実現することができる。

- [0007] このような分周比の変化は、デルタシグマ部を構成するL値アキュムレータ11で実現することができる。具体的に説明すると、L値アキュムレータ11のオーバーフロー信号9が可変分周器2Aの分周比切替端子に入力される。これにより、L値アキュムレータ11にオーバーフロー信号9が発生したときにのみ、可変分周器2Aの分周比が(M+1)となる。これによって、平均的な分周比 $[M + (K/L)]$ を実現することができる。
- [0008] L値アキュムレータ11は、累算値が値Lとなると、オーバーフロー信号9を発生するものである。このL値アキュムレータ11は、具体的には、K値15を一方の入力とするL値加算器12と、自己の保持値、すなわちデータラッチ出力14をL値加算器12に他方の入力として与えるデータラッチ13とからなる。このデータラッチ13は、L値加算器12の加算出力10を基準信号frefもしくは信号fdivで保持する。
- [0009] 以上のような構成によって、このL値アキュムレータ11は、基準信号frefもしくは信号fdivに等しいクロックにより値Kずつ出力値が増加する。そして、L値加算器12がオーバーフローした時に分周比がM+1となる。オーバーフロー信号9が発生しない時、分周比はMを保つ(例えば、非特許文献1参照)。
- [0010] ここで、図4を用いて、デルタシグマ部の動作原理を説明する。図4には、分周比 $= K/L = 1/8$ の場合における、基準信号frefと、加算器12に入力されるK値15と、データラッチ12の出力14と、加算器12の出力10と、オーバーフロー信号9と、可変分周器2Aの分周比とが示されている。
- [0011] 分数分周PLLシンセサイザでは、一般的な可変分周器2Aの分周比を時間的に変化させ、その平均値として分数値の分周比を実現する。基準信号frefの1周期 $= 1/$

frefを1クロック時間とすると、Lクロック時間(期間T)の間に1度だけ分周比がMからM+1に変化する。この時、期間Tにおける分周比の平均値は、 $M + (1/L)$ で示される。この分数部分の項の $(1/L)$ は、 $(K/L)$ に拡張して考えることができ、 $K=1, 2, 3, \dots$ とすることによって、 $(1/L)$ ステップで分周比を設定できる。

- [0012] また一般的に、デルタシグマ回路を複数個接続した“MASH”を形成する事により、デルタシグマ構成のノイズ特性の改善が図られることが知られている(例えば、非特許文献2参照)。

特許文献1:特開2000-052044号公報

特許文献2:特表平5-500894号公報

非特許文献1:電子情報通信学会論文誌C-1 Vol.J76-C-1 NO11 pp.445-452 1993年11月 分数分周方式を用いた高速周波数切換シンセサイザ

非特許文献2:IEEE JOURNAL OF SOLID-STATE

CIRCUITS,VOL.24,NO.4,AUGUST1989 pp.696 "A 17-bit Oversampling D-to-A Conversion Technology Using Multistage Noise Shaping"

非特許文献3:IEEE JOURNAL OF SOLID-STATE

CIRCUITS,VOL.38,NO.5,MAY2003 pp.782 "A 17-mW Transmitter and Frequency Synthesizer for 900-MHz GSM Fully Integrated in 0.35- $\mu$ m CMOS "

発明の開示

発明が解決しようとする課題

- [0013] しかし、上記先行技術の構成では、下に示した(a)、(b)、(c)が主な原因となり、電圧制御発振器1の出力信号foより、 $\Delta f = f_{ref} \times (K/L)$ 離調した周波数にスプリアスが発生していた。

- [0014] (a) オーバーフロー信号9の周期性

(b) L値アキュムレータ11の周期的動作ノイズのチャージポンプ回路4等への漏れ込み

(c) 小数点部分周比 $(K/L)$ が、 $1/2^n$ の場合

(a)については、非特許文献2に示されるように、L値アキュムレータ11を多段に接続することで、原理的に対策は可能である。

- [0015] しかし、(b)が原因で発生するスプリアスのうち、 $\Delta f$ が小さい(電圧制御発振器1の出力信号 $f_o$ に近い周波数)場合のスプリアス、すなわちループフィルタ5で減衰させることのできない低周波スプリアスについては根本的対策が無かった。
- [0016] また、(c)については、原理的にスプリアスが発生し易いという問題があった。
- [0017] したがって、本発明の目的は、L値アキュムレータの周期的動作ノイズに起因するスプリアス、特に従来ループフィルタで除去することができなかった低周波スプリアスを十分に減衰させることができるデルタシグマ型分数分周PLLシンセサイザを提供することである。

#### 課題を解決するための手段

- [0018] 本発明のデルタシグマ型分数分周PLLシンセサイザは、電圧制御発振器(1)と、分周比が $M$  ( $M$ は正整数)、 $(M+1)$ 、 $(M-1)$ に切り替え可能で電圧制御発振器(1)の出力信号 $f_o$ を分周する可変分周器(2)と、可変分周器(2)の出力信号 $f_{div}$ と基準信号 $f_{ref}$ の位相比較を行う位相比較器(3)と、位相比較器(3)の出力信号を平滑して電圧制御発振器(1)にフィードバックするフィルタ(5)と、値 $K_1$  (18) ( $K_1$ は整数)を累算する第1のL値アキュムレータ(31) ( $L$ は正整数)と、値 $K_2$  (19) ( $K_2$ は整数)を累算する第2のL値アキュムレータ(30)と、第1のL値アキュムレータ(31)のオーバーフロー信号(16)から第2のL値アキュムレータ(30)のオーバーフロー信号(17)を減じる加算器(29)とを備えている。
- [0019] そして、このデルタシグマ型分数分周PLLシンセサイザは、値 $K_1$  (18)、 $K_2$  (19)が、 $K_1 - K_2 = K$ を満たし、かつ値 $K$  ( $K$ は正整数)より絶対値が大きな値に設定され、加算器(29)の出力信号が可変分周器(2)に分周比切替信号として与えられる。これにより、加算器(29)の出力信号が零値のときに可変分周器(2)の分周比が $M$ に設定される。また、加算器(29)の出力信号が正值のときに可変分周器(2)の分周比が $(M+1)$ に設定される。さらに、加算器(29)の出力信号が負値のときに可変分周器(2)の分周比が $(M-1)$ に設定される。それによって、可変分周器(2)の平均的な分周比が $M + (K/L)$ となる。
- [0020] ここで、第1のL値アキュムレータ(31)は、例えば値 $K_1$  (18) ( $K_1$ は整数)を一方の入力とする第1のL値加算器(22)と、自己の保持値を第1のL値加算器(22)に他方

の入力として与える第1のデータラッチ(24)とからなる。第1のデータラッチ(24)は、第1のL値加算器(22)の出力を基準信号frefもしくは可変分周器(2)の出力信号fdivで保持する。

[0021] また、第2のL値アキュムレータ(30)は、例えば値K2(19) (K2は整数)を一方の入力とする第2のL値加算器(23)と、自己の保持値を第2のL値加算器(23)に他方の入力として与える第2のデータラッチ(25)とからなる。第2のデータラッチ(25)は、第2のL値加算器(23)の出力を基準信号frefもしくは可変分周器(2)の出力信号fdivで保持する。

[0022] つぎに、上記デルタシグマ型分数分周PLLシンセサイザの作用について説明する。上記(b)が原因で発生するスプリアスのうち、ループフィルタ(5)で減衰させることのできない低周波スプリアスの対策として、従来1個で構成していたL値アキュムレータ(11)に代えて、図1に示すように、2個のL値アキュムレータ(31, 30)が用いられる。そして、所望の分数分周比データK値(15)に対して、

$$K\text{値}(15) = K1\text{値}(18) - K2\text{値}(19) \cdots \cdots (2)$$

を満たすようなK1値(18)、K2値(19) (共に整数値)が、第1のL値アキュムレータ(31)及び第2のL値アキュムレータ(30)へ入力される。例えば、K値(15) = 1を設定したい時には、(2)式を満たすようなK1値(18) = 5、K2値(19) = 4が設定される。

[0023] これにより、第1のL値アキュムレータ1(31)及び第2のL値アキュムレータ2(30)の動作ノイズは、先行技術における $\Delta f = f_{\text{ref}} \times (1/L)$ といった低周波スプリアスから、 $\Delta f1 = f_{\text{ref}} \times (5/L)$ 及び $\Delta f2 = f_{\text{ref}} \times (4/L)$ といった高い周波数成分へ移行することになる。そのため、L値アキュムレータ(31, 30)の周期的動作ノイズが原因で発生するスプリアスは、ループフィルタ(5)でほぼ完全に減衰させることができる。

[0024] また、上記の本発明のデルタシグマ型分数分周PLLシンセサイザの構成において、以下のように構成すると、2次以上のn次の構成を有するデルタシグマ型分数分周PLLシンセサイザが得られる。すなわち、このデルタシグマ型分数分周PLLシンセサイザは、上記のデルタシグマ型分数分周PLLシンセサイザの構成において、第1のL値アキュムレータの出力値(具体的には、第1のL値加算器の出力値)から第2のL値アキュムレータの出力値(具体的には、第2のL値加算器の出力値)を減じる第2の加

算器をさらに備え、第1のL値アキュムレータと第2のL値アキュムレータと第1の加算器と第2の加算器とから構成されるデルタシグマ部を第1段から第n段までのn段備え、第2段から第n段までの各デルタシグマ部のオーバーフロー信号をそれぞれ1回からn-1回それぞれ微分する第1から第n-1までの微分回路と、第1段のデルタシグマ部のオーバーフロー信号と第1から第n-1までの微分回路の出力とを加算する第3の加算器と、第2の加算器の出力値を次段のデルタシグマ部への入力として、その2つの値の合計値が第2の加算器の出力値と等しい2つの値に分配する分配器を備える。

### 発明の効果

- [0025] 本発明のデルタシグマ型分数分周PLLシンセサイザによれば、第1および第2のL値アキュムレータを設け、第1および第2のL値アキュムレータのオーバーフロー信号の差を加算器でとり、加算器の出力信号で、可変分周器の分周比をMか、M+1か、M-1かに切り替えるようにしている。これにより、第1および第2のL値アキュムレータの動作ノイズによって発生するスプリアスの周波数を先行技術よりも高い周波数成分へ移行させることができる。その結果、動作ノイズをフィルタ(ローパスフィルタ)で除去することが容易となり、低スプリアス化を図ることができる。

### 図面の簡単な説明

- [0026] [図1]図1は本発明の実施例1のデルタシグマ型分数分周PLLシンセサイザの構成を示すブロック図である。
- [図2]図2は本発明の実施例1におけるアキュムレータの各部の信号及び可変分周器の分周比の時間変化を示すタイミング図である。
- [図3]図3はデルタシグマ型分数分周PLLシンセサイザの先行技術の構成を示すブロック図である。
- [図4]図4はデルタシグマ型分数分周PLLシンセサイザの先行技術におけるアキュムレータの各部の信号及び可変分周器の分周比の時間変化を示すタイミング図である。
- [図5]図5は本発明の実施例2のデルタシグマ型分数分周PLLシンセサイザの構成を示すブロック図である。



[図6]図6は本発明の実施例2におけるアキュムレータの各部の信号及び可変分周器の分周比の時間変化を示すタイミング図である。

[図7]図7は本発明の実施例3のデルタシグマ型分数分周PLLシンセサイザの構成を示すブロック図である。

### 符号の説明

- [0027]
- 1 電圧制御発振器
  - 2 可変分周器
  - 3 位相比較器
  - 4 チャージポンプ回路
  - 5 ループフィルタ
  - 7 温度補償発振器
  - 8 M値
  - 9 オーバーフロー信号
  - 10 加算出力
  - 11 アキュムレータ
  - 12 加算器
  - 13 データラッチ
  - 14 データラッチ出力
  - 15 K値
  - 16 オーバーフロー信号
  - 17 オーバーフロー信号
  - 18 K1値
  - 19 K2値
  - 20 データラッチ出力
  - 21 データラッチ出力
  - 22 L値加算器
  - 23 L値加算器
  - 24 データラッチ

- 25 データラッチ
- 26 加算器出力
- 27 加算器出力
- 28 加算器
- 29 加算器
- 30, 31 アキュムレータ
- 32 加算器出力
- 33 K3値
- 34 K4値
- 51 分配器
- 52 微分器
- 53 加算器
- 54 オーバーフロー信号

#### 発明を実施するための最良の形態

[0028] 以下、実施例について、図面を参照しながら説明する。

#### 実施例 1

[0029] 本発明の実施例1のデルタシグマ型分数分周PLLシンセサイザについて、図1および図2を参照しながら説明する。

[0030] このデルタシグマ型分数分周PLLシンセサイザは、図1に示すように、温度補償発振器(TCXO)7から出力された基準信号frefが位相比較器(PD)3の一方の入力端子に加えられる。また、電圧制御発振器(VCO)1の出力信号foが可変分周器2により分周され信号fdivとして出力される。可変分周器2より出力された信号fdivは位相比較器3の他方の入力端子に加えられる。これによって、基準信号frefと信号fdivとの位相差が位相比較器(PD)3で検出される。そして、基準信号frefと信号fdivとの位相差に応じたパルス幅の電圧パルスが位相比較器3からチャージポンプ回路(CP)4に送られる。

[0031] チャージポンプ回路4からは、位相比較器3から出力される電圧パルスに応じて、電流の吐き出し、吸い込み、もしくはハイインピーダンス(Hi-Z)の状態のいずれかとな

るチャージポンプ出力電流 $I_{cp}$ が出力される。このチャージポンプ出力電流 $I_{cp}$ は、ローパスフィルタからなるループフィルタ5で平滑化され、さらに電圧に変換されて、電圧制御発振器1に制御電圧として入力される。

[0032] 電圧制御発振器1の出力信号 $f_o$ は、上述したように、可変分周器2により分周され、比較信号 $f_{div}$ として位相比較器3へフィードバックされる。

[0033] したがって、電圧制御発振器1の出力信号 $f_o$ の周波数(便宜上、出力信号 $f_o$ と同じ記号 $f_o$ で周波数を表す)は、可変分周器2の分周比を $[M+(K/L)]$ 、基準信号 $f_{ref}$ の周波数を $f_{ref}$ とすれば、以下のように表される。

$$[0034] \quad f_o = [M+(K/L)] \times f_{ref} \quad \cdots \cdots (3)$$

ただし、 $M, K, L$ : 正整数値

$M$ : 整数部分周比

$K/L$ : 小数点部分周比

可変分周器2は、整数部分周比 $M$ の値8を入力する整数分周比入力端子と、分周比を $M$ から $M+1$ もしくは $M-1$ に変化させる信号を入力する分周比切替端子とを有している。この構成によって、分周比を $M$ か、 $(M+1)$ か、 $(M-1)$ かに切り替え可能な構成となっている。具体的には、可変分周器2は、通常時つまり分周比切替信号として零値の信号が入力されたときは分周比を $M$ とする。また、分周比切替端子に分周比切替信号として正值の信号が入力されたときに分周比を $(M+1)$ に変化させる。さらに、分周比切替信号として負値の信号が入力されたときに分周比を $(M-1)$ に変化させる。これによって、平均的な分周比 $[M+(K/L)]$ を実現することができる。

[0035] このような分周比の変化は、デルタシグマ部X1を構成する $L$ 値アキュムレータ31、30および加算器29で実現することができる。すなわち、 $L$ 値アキュムレータ31は、値 $K_1$ (18) ( $K_1$ は整数)を累算する。また、 $L$ 値アキュムレータ30 ( $L$ は正整数)は、値 $K_2$ (19) ( $K_2$ は整数)を累算する。そして、加算器29は、 $L$ 値アキュムレータ31のオーバーフロー信号16から $L$ 値アキュムレータ30のオーバーフロー信号17を減じてオーバーフロー信号9を出力する。

[0036] そして、値 $K_1$ (18)、 $K_2$ (19)は、それぞれ $K_1-K_2=K$ を満たし、かつ値 $K$  ( $K$ は正整数)より絶対値が大きな値に設定される。また、加算器29の出力信号であるオーバ

ーフロー信号9が分周比切替端子に入力される。

[0037] これにより、加算器29のオーバーフロー信号9が零値のときに可変分周器2の分周比がMに設定される。また、加算器29のオーバーフロー信号9が正值のときに可変分周器2の分周比が(M+1)に設定される。さらに、加算器29のオーバーフロー信号9が負値のときに可変分周器2の分周比が(M-1)に設定される。それによって、可変分周器2の平均的な分周比を $M + (K/L)$ にすることができる。

[0038] L値アキュムレータ31は、累算値が値Lとなるとオーバーフロー信号16を発生するものである。このL値アキュムレータ31は、具体的には、分数分周比データK1値18を一方の入力とするL値加算器22と、自己の保持値、すなわちデータラッチ出力20をL値加算器22に他方の入力として与えるデータラッチ24とからなる。このデータラッチ24は、L値加算器22の加算出力26を基準信号frefもしくは可変分周器2の出力信号fdivで保持する。このL値アキュムレータ31は、基準信号frefもしくは可変分周器2の出力信号fdivに等しいクロックによりK1値18ずつ加算出力値26が増加する。

[0039] L値アキュムレータ30は、上記L値アキュムレータ31と同様に累算値が値Lとなるとオーバーフロー信号17を発生するものである。このL値アキュムレータ30は、具体的には、分数分周比データK2値19を一方の入力とするL値加算器23と、自己の保持値、すなわちデータラッチ出力21をL値加算器23に他方の入力として与えるデータラッチ25とからなる。このデータラッチ25は、L値加算器23の加算出力27を基準信号frefもしくは可変分周器2の出力信号fdivで保持する。このL値アキュムレータ30は、基準信号frefもしくは可変分周器2の出力信号fdivに等しいクロックによりK2値19ずつ加算出力値27が増加する。

[0040] 加算器28は、L値加算器22、23の出力を加算して加算出力10を発生する。この加算出力10は、本デルタシグマ型分数分周PLLシンセサイザを用いて高次デルタシグマ型分数分周PLLシンセサイザを構成するときに使用される。図1の構成に限っては、必要なものではない。

[0041] 以上のようなデルタシグマ部X1の構成によって、L値加算器22のみがオーバーフローしたときに分周比がM+1となり、L値加算器23のみがオーバーフローしたときに

分周比が $M-1$ となる。また、L値加算器22, 23の両方がオーバーフローしたとき、あるいは、L値加算器22, 23の両方ともオーバーフローしないときには、分周比がMに保たれる。

[0042] 以下、図2を参照しながら、デルタシグマ部X1について、さらに詳しく説明する。図2には、分周比 $=K/L=1/8$ 、 $K1=5$ 、 $K2=4$ の場合における、基準信号frefと、K1値18と、データラッチ24の出力20と、L値加算器22の加算出力26と、オーバーフロー信号16と、K2値19と、データラッチ25の出力21と、L値加算器23の加算出力27と、オーバーフロー信号17と、加算器28の加算出力10と、オーバーフロー信号9と、可変分周器2の分周比とが示されている。

[0043] L値アキュムレータ31は、上述したように、分数分周比データK1値18とデータラッチ24の出力20とが入力され、オーバーフロー信号16を出力するL値加算器22と、L値加算器22の出力26と基準信号frefもしくはfdivとが入力されるデータラッチ24とで構成される。また、L値アキュムレータ30は、上述したように、分数分周比データK2値19とデータラッチ25の出力21とが入力され、オーバーフロー信号17を出力するL値加算器23と、L値加算器23の出力27と基準信号frefもしくはfdivとが入力されるデータラッチ25とで構成される。

[0044] 加算器28は、L値加算器22の加算出力26からL値加算器23の加算出力27を減算することによって、加算出力10を出力する。加算器29は、L値加算器22のオーバーフロー信号16からL値加算器23のオーバーフロー信号17を減算することによって、オーバーフロー信号9を出力する。

[0045] 先行技術の回路では、fref=200kHz、 $L=8$ で、 $K$ 値(15)=1に設定する場合、L値アキュムレータ11の周期的動作ノイズが原因となるスプリアス成分は、

$$\Delta f = 200\text{kHz} \times (1/8) = 25\text{kHz}$$

となる。つまり、電圧制御発振器1の出力信号foより、25kHz離調した周波数にスプリアスが発生していた。

[0046] 一方、本発明の実施例1の構成では、上記と同様の設定をしたい場合、例えば、 $K1$ 値18=5、 $K2$ 値19=4と設定する。ここで、 $K1$ 値18及び $K2$ 値19は、前述の(2)式を満たし、かつ許容される大きな値(値Kより絶対値が大きい値)に設定する。これ

によって、L値アキュムレータ31及びL値アキュムレータ30の周期的動作ノイズが原因となるスプリアス成分の離調周波数 $\Delta f$ は先行技術の場合に比べて大きくなる。そのため、ループフィルタ5で減衰させることが容易である。

[0047] ここで、数値をあげて説明する。K1値(18)=5、K2値(19)=4でのL値アキュムレータ31及びL値アキュムレータ30の周期的動作ノイズが原因で発生するスプリアスの離調周波数 $\Delta f_1$ 、 $\Delta f_2$ は、それぞれ以下のようになる。

[0048]  $\Delta f_1 = 200\text{kHz} \times (5/8) = 125\text{kHz}$

$\Delta f_2 = 200\text{kHz} \times (4/8) = 100\text{kHz}$

つまり、スプリアスの離調周波数が、先行技術と比べて高い周波数成分へ移行することが分かる。このため、L値アキュムレータ31及びL値アキュムレータ30の周期的動作ノイズが原因で発生するスプリアスは、ループフィルタ5でほぼ完全に減衰させることができる。

[0049] さらに、非特許文献3でも示されるような先行技術では、 $K/L$ がある特定の値の時(例えば $1/2^n$ )の分周比において低域のスプリアスが多くなることがあったが、今回の回路では、K1値18、およびK2値19共に $1/2^m$ ( $m$ は整数値)以外に選ぶ事で、低域のスプリアスが緩和されるという効果がある。

## 実施例 2

[0050] 本発明の実施例2の高次デルタシグマ型分数分周PLLシンセサイザについて、図5を参照しながら説明する。

[0051] この高次デルタシグマ型分数分周PLLシンセサイザは、図5に示すように、分周比を $M+3$ 、 $M+2$ 、 $M+1$ 、 $M$ 、 $M-1$ 、 $M-2$ 、 $M-3$ のいずれかに切り替えることになることが可能な可変分周器2Bを、可変分周器2(実施例1;図1参照)の代わりに設けている。さらに、可変分周器2Bの分周比切替信号を生成するために、第1のデルタシグマ部X1と第2のデルタシグマ部X2と分配器51と微分器52と加算器53とを、デルタシグマ部X1(実施例1;図1参照)の代わりに設けている。その他の構成は、図1の構成と同様である。

[0052] 図5における第1および第2のデルタシグマ部X1、X2は、実施例1に示したもの(符号X1で示す)と同じ構成を有している。また、分配器51は、第2のデルタシグマX2へ

の入力値Kを、実施例1で示したような条件に分配するものである。第2のデルタシグマ部X2への入力値Kは、第1のデルタシグマ部X1の加算出力10である。つまり、加算出力10が分配器51で、以下のように分配されて第2のデルタシグマ部X2へ入力される。

- [0053] 分配器51は、加算出力10をK3値33とK4値34とに分配する。分配の仕方は、実施例1と同様にして、“K3”-“K4”=“加算出力10”かつ“K3”，“K4”ともに、“加算出力10”の値よりも絶対値が大きな値(整数)に設定される。ただし、“K3”，“K4”ともに、“加算出力10”の値よりも大きな値を設定するのは、前述のように“K3”，“K4”が小さい時に発生する低周波スプリアスを避けるためである。“K3”，“K4”は、必ずしも“加算出力10”の値よりも大きな値である必要はない。
- [0054] 第2のデルタシグマ部X2の出力であるオーバーフロー信号54は微分器52で微分される。そして、微分器52の出力が、加算器53でデルタシグマ部X1の出力であるオーバーフロー信号9と加算される。さらに、加算器53の出力信号が可変分周器2Bに分周比切替信号として与えられる。
- [0055] ここで、デルタシグマ部X1, X2のオーバーフロー信号9, 54は、図2に示したように、例えば…0, +1, -1, +1, 0…と変化する。これを微分すると、つまり連続した2つの値の差をとると、…1, -2, +2, -1…が得られる。オーバーフロー信号9とオーバーフロー信号54の微分値とを加算すると、各値の組み合わせの中で加算結果の最大値は+3となり、最小値は-3となる。したがって、可変分周器2Bは、加算器53から入力される加算結果に応じて、上記のように分周比をM+3、M+2、M+1、M、M-1、M-2、M-3のいずれかに切り替えることになる。
- [0056] これにより、本発明の実施例2では、デルタシグマ回路を複数個接続した“MASH”を形成することができ、前述の非特許文献2に記載の効果と同様の効果が得られ、低ノイズ化に有利である。
- [0057] なお、実施例2は、2次の構成の例を示したが、図7に示すように、n個のデルタシグマ部X1〜Xnを用いた“n次”の構成も同様に考えることができる。この結果、低ノイズかつ、低スプリアスの特性が得られるデルタシグマ型分数分周PLLシンセサイザを構成する事ができる。なお、図7において、符号101は分配器を示し、符号102はn-1

個の微分器を示し、符号103は加算出力を示している。

#### 産業上の利用可能性

- [0058] 本発明にかかるデルタシグマ型分数分周PLLシンセサイザは、低スプリアス化を図ることができるという効果が必要な携帯電話機などの移動体通信機器等の用途に適用できる。



### 請求の範囲

- [1] 電圧制御発振器と、分周比が $M$  ( $M$ は正整数)、 $(M+1)$ 、 $(M-1)$ に切り替え可能で前記電圧制御発振器の出力信号を分周する可変分周器と、前記可変分周器の出力信号と基準信号の位相比較を行う位相比較器と、前記位相比較器の出力信号を平滑して前記電圧制御発振器に与えるフィルタと、値 $K1$  ( $K1$ は整数)を累算する第1の $L$ 値アキュムレータ ( $L$ は正整数)と、値 $K2$  ( $K2$ は整数)を累算する第2の $L$ 値アキュムレータと、前記第1の $L$ 値アキュムレータのオーバーフロー信号から前記第2の $L$ 値アキュムレータのオーバーフロー信号を減じる第1の加算器とを備え、

前記値 $K1$ ,  $K2$ を、 $K1-K2=K$ を満たし、かつ値 $K$  ( $K$ は整数)より絶対値が大きな値に設定し、前記第1の加算器の出力信号を前記可変分周器に分周比切替信号として与えることにより、前記第1の加算器の出力信号が零値のときに前記可変分周器の分周比を $M$ に設定し、前記第1の加算器の出力信号が正值のときに前記可変分周器の分周比を $(M+1)$ に設定し、前記第1の加算器の出力信号が負値のときに前記可変分周器の分周比を $(M-1)$ に設定することを特徴とするデルタシグマ型分数分周PLLシンセサイザ。

- [2] 第1の $L$ 値アキュムレータは、値 $K1$  ( $K1$ は整数)を一方の入力とする第1の $L$ 値加算器と、前記第1の $L$ 値加算器の出力を前記基準信号もしくは、前記可変分周器の出力信号で保持し、保持値を前記第1の $L$ 値加算器に他方の入力として与える第1のデータラッチとからなり、第2の $L$ 値アキュムレータは、値 $K2$  ( $K2$ は整数)を一方の入力とする第2の $L$ 値加算器と、前記第2の $L$ 値加算器の出力を前記基準信号もしくは、前記可変分周器の出力信号で保持し、保持値を前記第2の $L$ 値加算器に他方の入力として与える第2のデータラッチとからなる請求項1記載のデルタシグマ型分数分周PLLシンセサイザ。

- [3] 前記第1の $L$ 値アキュムレータの出力値から前記第2の $L$ 値アキュムレータの出力値を減じる第2の加算器をさらに備え、

前記第1の $L$ 値アキュムレータと前記第2の $L$ 値アキュムレータと前記第1の加算器と前記第2の加算器とから構成されるデルタシグマ部を第1段から第 $n$ 段までの $n$ 段備え、

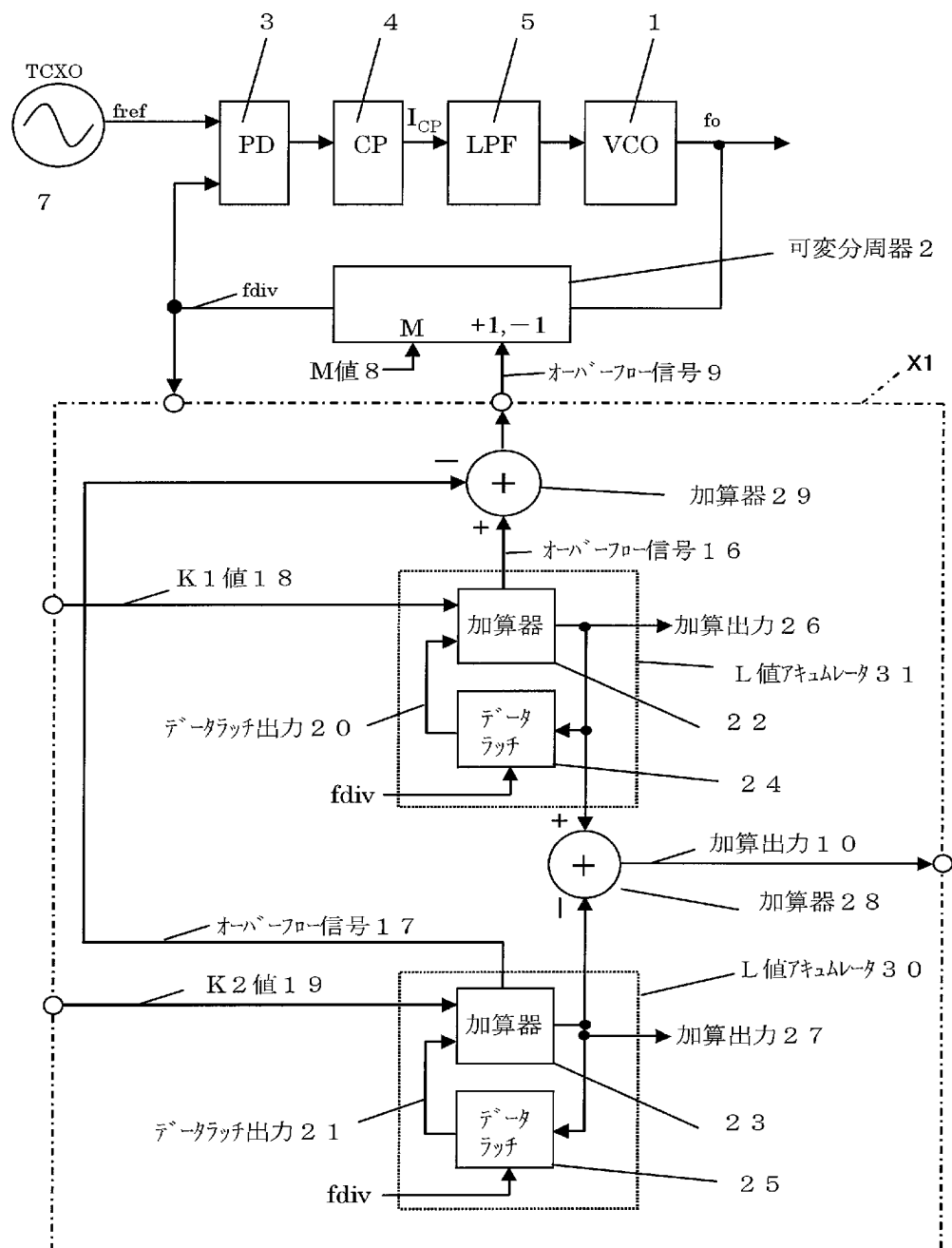
第2段から第n段までの各デルタシグマ部のオーバーフロー信号をそれぞれ1回からn-1回それぞれ微分する第1から第n-1までの微分回路と、前記第1段のデルタシグマ部のオーバーフロー信号と前記第1から第n-1までの微分回路の出力とを加算する第3の加算器と、前記第2の加算器の出力値を次段のデルタシグマ部への入力として、その2つの値の合計値が前記第2の加算器の出力値と等しい2つの値に分配する分配器を備えた請求項1に記載のデルタシグマ型分数分周PLLシンセサイザ。

[4] 前記第1のL値加算器の出力値から前記第2のL値加算器の出力値を減じる第2の加算器をさらに備え、

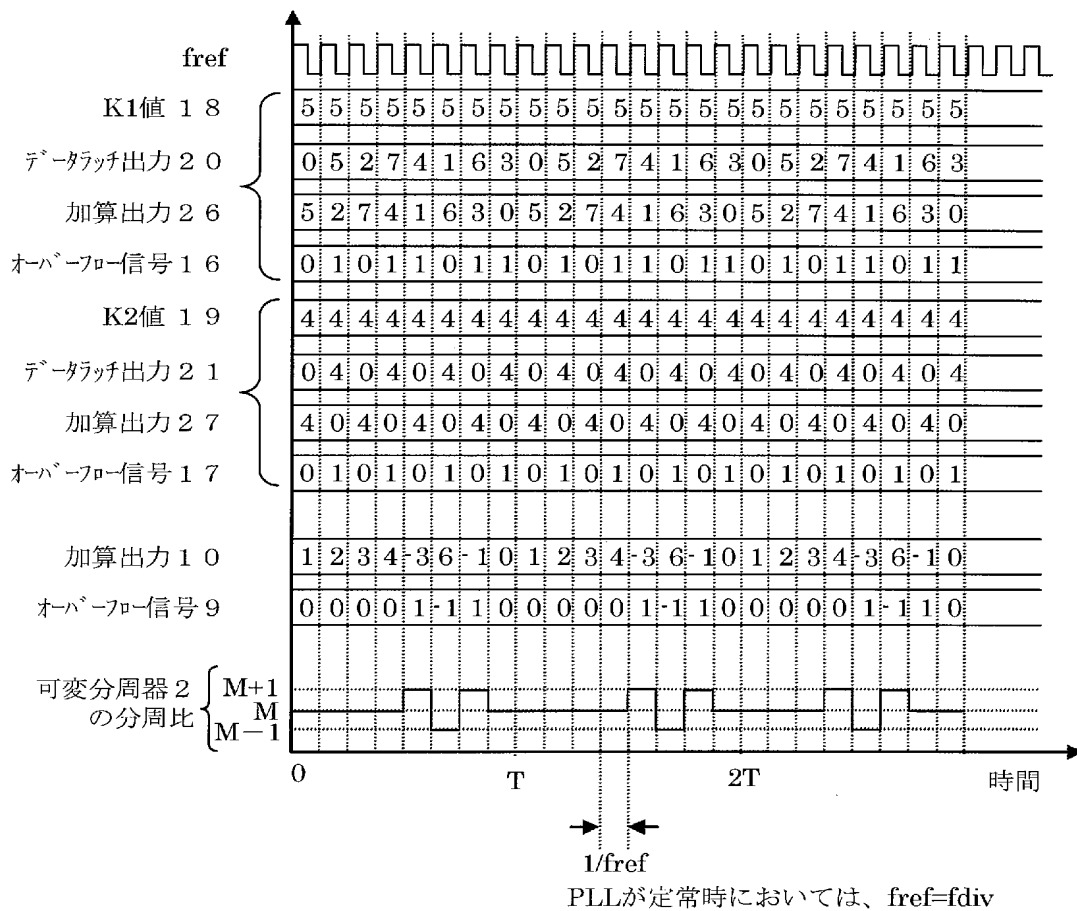
前記第1のL値アキュムレータと前記第2のL値アキュムレータと前記第1の加算器と前記第2の加算器とから構成されるデルタシグマ部を第1段から第n段までのn段備え、

第2段から第n段までの各デルタシグマ部のオーバーフロー信号をそれぞれ1回からn-1回それぞれ微分する第1から第n-1までの微分回路と、前記第1段のデルタシグマ部のオーバーフロー信号と前記第1から第n-1までの微分回路の出力とを加算する第3の加算器と、前記第2の加算器の出力値を次段のデルタシグマ部への入力として、その2つの値の合計値が前記第2の加算器の出力値と等しい2つの値に分配する分配器を備えた請求項2に記載のデルタシグマ型分数分周PLLシンセサイザ。

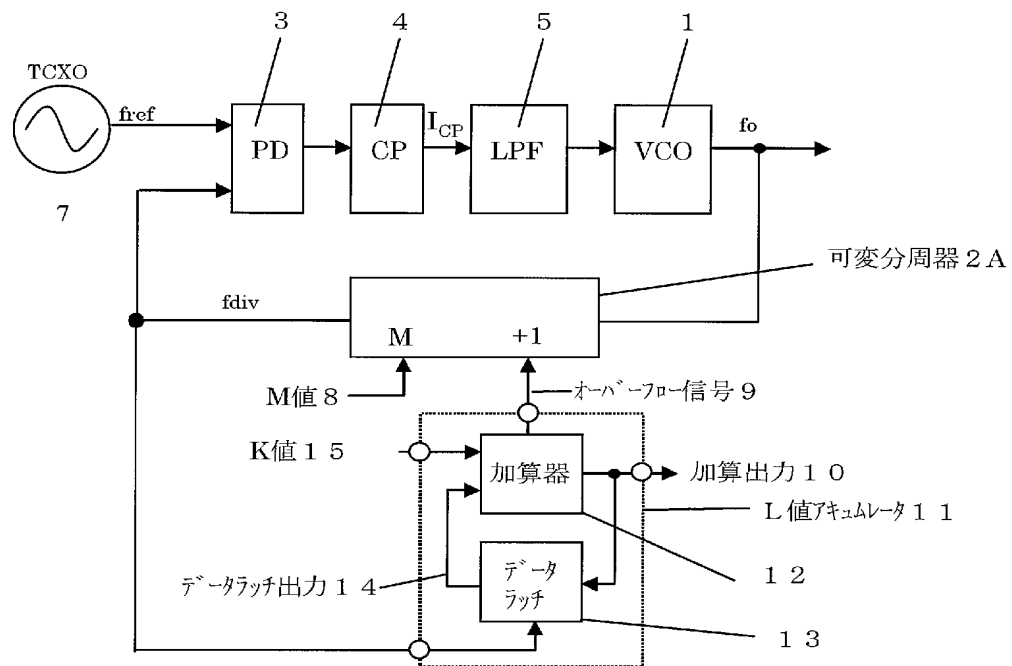
[図1]



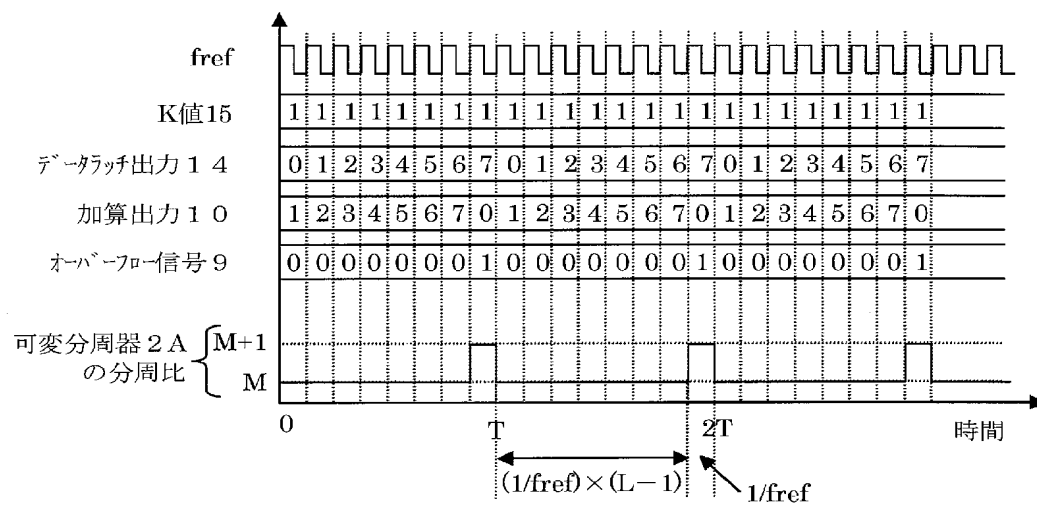
[図2]



[図3]

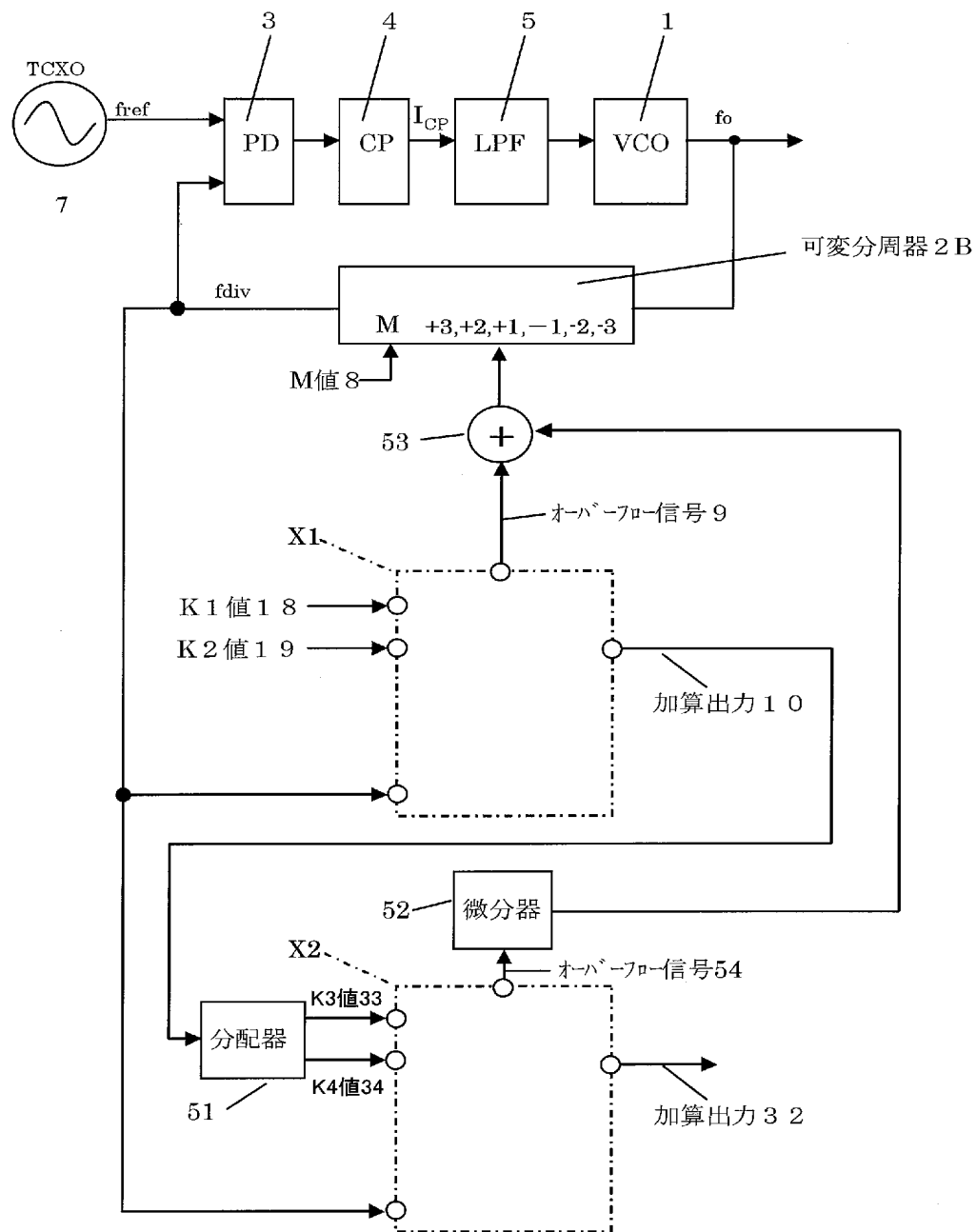


[図4]

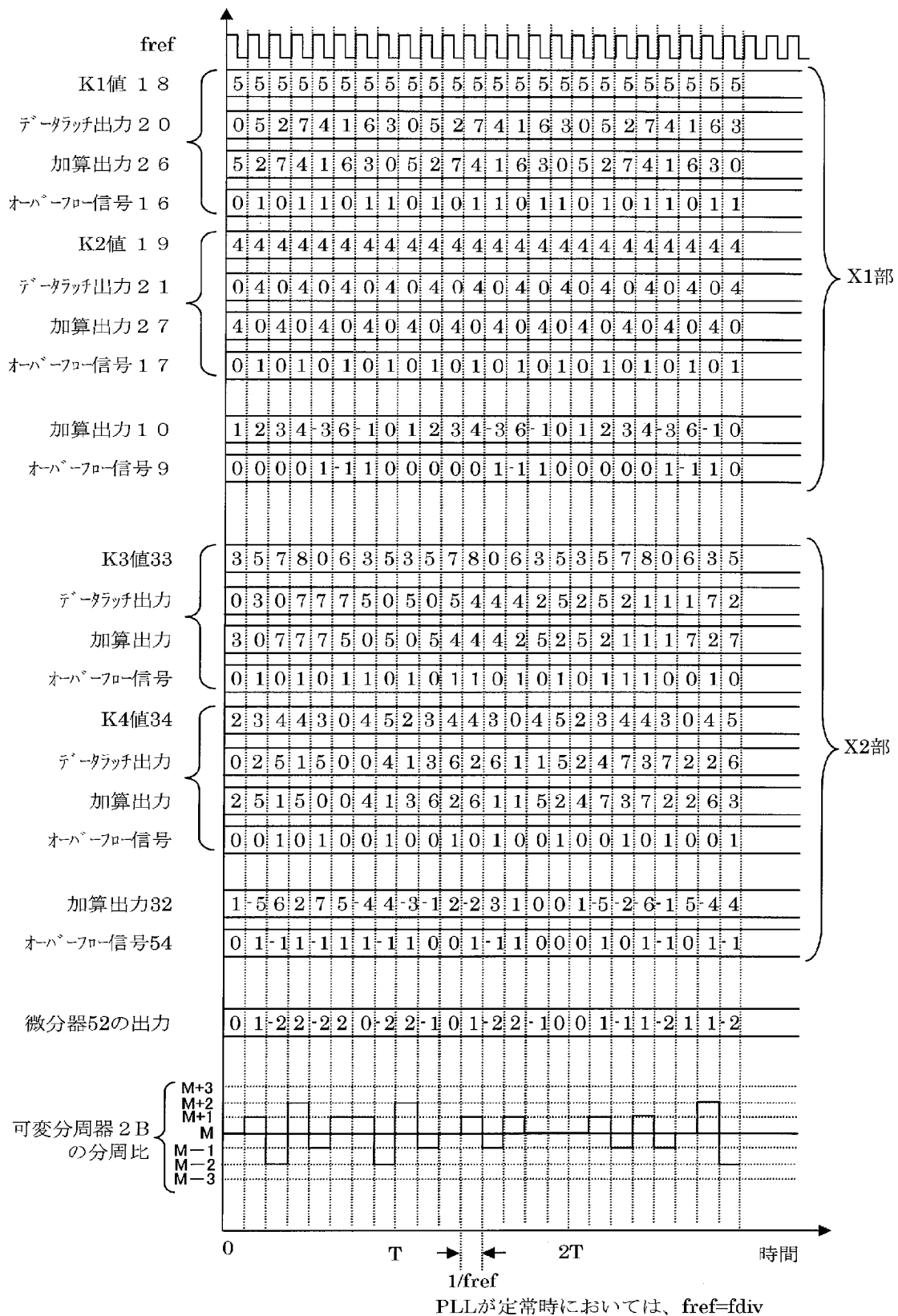


PLLが定常時においては、 $f_{ref}=f_{div}$

[図5]

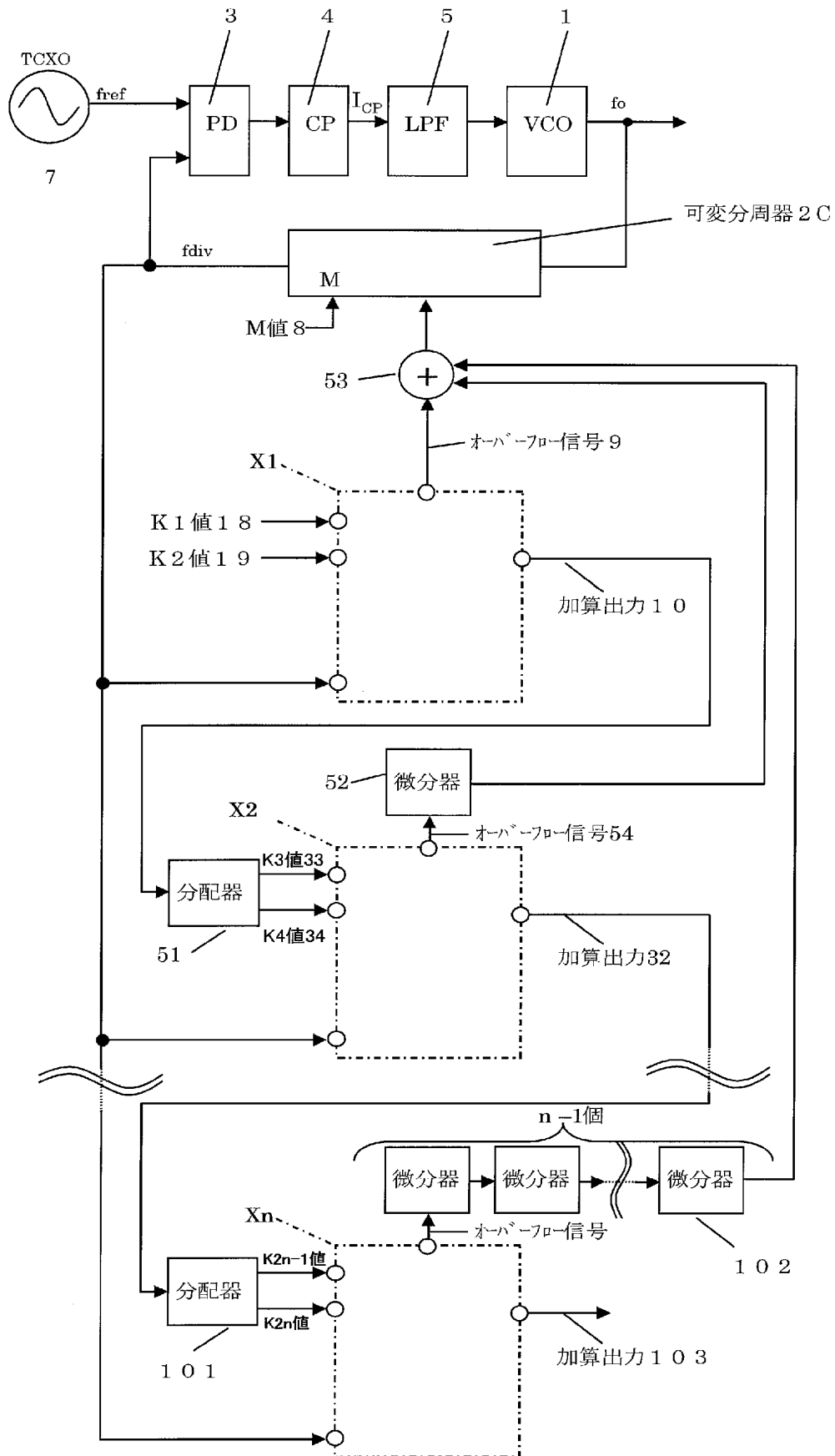


[図6]





[図7]



# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP2004/018405

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H03L7/197, H03L7/183, H03M7/32

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H03L7/16-7/23

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2005  
Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 05-502154 A (Motorola, Inc.), 15 April, 1993 (15.04.93), Page 4, lower left column, line 24 to page 5, lower right column, line 20; Fig. 3 & US 5070310 A & WO 1992/004766 A1	1-4

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
07 March, 2005 (07.03.05)

Date of mailing of the international search report  
22 March, 2005 (22.03.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. <sup>7</sup> H03L 7/197, H03L 7/183, H03M 7/32

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. <sup>7</sup> H03L 7/16-7/23

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2005年  
 日本国登録実用新案公報 1994-2005年  
 日本国実用新案登録公報 1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 05-502154 A (モトローラ・インコーポレーテッド) 1993. 04. 15, 第4頁左下欄第24行-第5頁右下欄第20行, 図3 & US 5070310 A & WO 1992/004766 A1	1-4

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

07. 03. 2005

国際調査報告の発送日

22. 3. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

甲斐 哲雄

5W

9750

電話番号 03-3581-1101 内線 3575